

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申請日：西元 2002 年 11 月 01 日  
Application Date

申請案號：091132447  
Application No.

申請人：華邦電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 9 月 11 日  
Issue Date

發文字號：09220884100  
Serial No.

申請日期： 91/11/1	案號： 91132447
類別： 1103F 3/45	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	差動比較電路系統
	英 文	
二、 發明人	姓 名 (中文)	1. 邱瑞德 2. 王錫源
	姓 名 (英文)	1. Chiu Jui Ta 2. Hsi-Yuan Wang
	國 籍	1. 中華民國 2. 中華民國
	住、居所	1. 基隆市七堵區正光里4鄰明德一路131號 2. 新竹市東區科園里湖濱二路34號5樓
三、 申請人	姓 名 (名稱) (中文)	1. 華邦電子股份有限公司
	姓 名 (名稱) (英文)	1. Winbond Electronics Corp.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學園區研新三路四號
	代表人 姓 名 (中文)	1. 焦佑鈞
	代表人 姓 名 (英文)	1. Arthur, Y. C. Chiao



四、中文發明摘要 (發明之名稱：差動比較電路系統)

本案係為一種差動比較電路系統，用以接收一電壓範圍之所有輸入信號，並加以放大後輸出一輸出電壓，其中該電壓範圍係分為較高電壓之第一部份及較低電壓之第二部份，該系統係包含：一第一差動比較器，用以接收該電壓範圍中第一部份的輸入信號，並將所接收之電壓加以放大，用以產生該輸出電壓；一偵測電路，電連接於該第一差動比較電路，當偵測到該第一差動比較電路因輸入信號之電壓低於該電壓範圍之第一部份而無法運作時，產生一觸發信號；以及一第二差動比較器，連接於該偵測電路，因應該觸發信號之驅動，而接收該電壓範圍中第二部份的輸入信號，並將所接收之電壓加以放大，用以產生該輸出電壓。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

### 發明領域

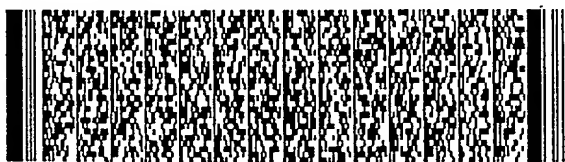
本案係為一種比較電路系統，尤指一種適用於通用序列匯流排(Universal Serial Bus, USB)介面傳輸端之差動比較電路系統。

### 發明背景

通用序列匯流排(Universal Serial Bus, USB)是一種週邊設備介面，它是由七家軟硬體製造商所共同制定的，這種介面的傳輸速率有 1.5 Mbps 與 12 Mbps 兩種形式，最多可以連接到 127 部週邊設備。

由於通用序列匯流排介面(USB)對於能夠接收輸入信號之電壓值 $V_{in}$ 範圍規定的非常嚴格，必須滿足於特定範圍(0.8~2.2V)間的所有輸入電壓都能夠接收。

請參閱第一圖(a)及(b)，其係傳統用來接收輸入信號之電路，其中第一圖(a)係使用N型金屬氧化半導體電晶體(NMOS)來接收輸入電壓值，其只能接收較高電壓範圍之傳輸信號。第一圖(b)係使用P型金屬氧化半導體電晶體(PMOS)來接收輸入信號，其特性與N型金屬氧化半導體電晶體(NMOS)完全相反，只能接收較低輸入電壓範圍之信號。由於第一圖(a)及(b)能接收之輸入電壓 $V_{in}$ 侷限於較高或是較低之電壓，且能接收之電壓範圍亦



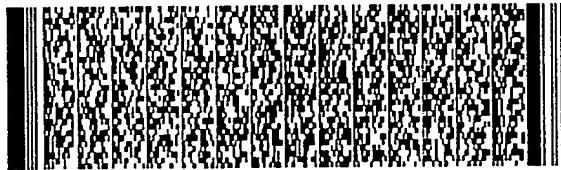
## 五、發明說明 (2)

較小。

但是，現今對於通用序列匯流排介面 (USB) 所能接收輸入信號之電壓範圍要求越來越大，傳統的電路已經不符合需求，因此業者都想盡辦法將P型金屬氧化半導體電晶體 (PMOS) 與N型金屬氧化半導體電晶體 (NMOS) 結合在一起，用以擴大通用序列匯流排介面 (USB) 所能接收輸入信號之電壓範圍。

請參閱第二圖，其係結合P型金屬氧化半導體電晶體 (PMOS) 與N型金屬氧化半導體電晶體 (NMOS)，來擴大所能接收之電壓範圍之接收電路。當輸入電壓屬於較低電壓時，由P型金屬氧化半導體電晶體M5及M6接收該輸入電壓，並傳送至1:1的尾端電流電晶體 (tail-current transistor) 20，用以產生並輸出一尾端電流值 (tail current)。至於，當輸入電壓屬於較高電壓時，改由N型金屬氧化半導體電晶體M1及M2接收該輸入電壓，並藉由同樣之1:1的尾端電流電晶體 (tail-current transistor) 21產生並輸出所需之尾端電流值 (tail current)。

雖然第二圖之電路能夠達到擴大接收之輸入電壓範圍，但是，該尾端電流電晶體 (tail-current transistor) 20, 21兩者永遠導通，不會隨著所對應之PMOS或是NMOS的開關狀態而動態改變，因此不管PMOS或是NMOS在接收傳輸信號時，都會有某個尾端電流電晶體 (tail-current transistor) 處於導通狀態，但卻沒有運作，進而增加電源的損耗。



#### 五、發明說明 (3)

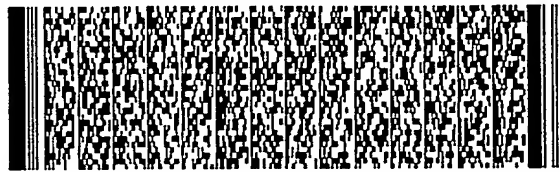
況且，當輸入電壓屬於中間電壓時，PMOS和NMOS會同時導通，而造成輸出之尾端電流過大，進而浪費電源。

職是之故，申請人鑑於習知技術之缺失，乃經悉心試驗與研究，並一本鍥而不捨之精神，終研發出本案之『差動比較電路系統』。

#### 發明摘要

本案之主要目的係為提供一種差動比較電路系統，藉由該偵測電路之控制使該差動電路比較系統中只有一個差動比較器負責接收信號，另一差動比較器則完全關閉，可獲得所需之輸出電壓，又不會有浪費電源的情形產生。

本案之另一目的係為提供一種差動比較電路系統，用以接收一電壓範圍之所有輸入信號，並加以放大後輸出一輸出電壓，其中該電壓範圍係分為較高電壓之第一部份及較低電壓之第二部份，該系統係包含：一第一差動比較器，用以接收該電壓範圍中第一部份的輸入信號，並將所接收之電壓加以放大，用以產生該輸出電壓；一偵測電路，電連接於該第一差動比較器，當偵測到該第一差動比較電路因輸入信號之電壓低於該電壓範圍之第一部份而無法運作時，產生一觸發信號；以及一第二差動比較器，電連接於該偵測電路，因應該觸發信號之驅動，而接收該電壓範圍中第二部份的輸入信號，並將所接收之電壓加以放



#### 五、發明說明 (4)

大，用以產生該輸出電壓。

根據上述構想，系統中該差動比較電路系統可適用於一通用序列匯流排(USB)介面的傳輸端。

根據上述構想，系統中該第一差動比較器係包含：一第一差動接收電路，用以接收該電壓範圍中第一部份的輸入信號；以及一第一運算放大電路，電連接於該第一差動接收電路，用以將該第一差動接收電路所接收之電壓加以放大，使產生該輸出電壓。

根據上述構想，系統中該第二差動比較器係包含：一第二差動接收電路，電連接於該偵測電路，因應該觸發信號之驅動，而接收接收該電壓範圍中第二部份的輸入信號；以及一第二運算放大電路，電連接於該第二差動接收電路，用以將該第二差動接收電路所接收之電壓加以放大，使產生該輸出電壓。

根據上述構想，系統中該差動比較電路系統可包含一輸出電路，用以輸出該輸出電壓。

根據上述構想，系統中該第二差動比較器於該第一差動比較器運作時可處於關閉狀態，用以避免產生漂浮(floating)和加乘效果。

根據上述構想，系統中該第一差動比較器於該第二差動比較器於該第二差動比較器運作時可處於關閉狀態。

本案之又一目的係為提供一種差動比較電路系統，用以接收一電壓範圍之所有輸入信號，並加以放大後輸出一輸出電壓，其中該電壓範圍係分為較高電壓之第一部份及





##### 五、發明說明 (5)

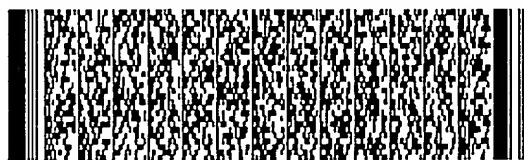
較低電壓之第二部份，該系統係包含：一第一差動接收電路，用以接收該電壓範圍中第一部份的輸入信號；一第一運算放大電路，電連接於該第一差動接收電路，用以將該第一差動接收電路所接收之電壓加以放大，使產生該輸出電壓；一偵測電路，電連接於該第一差動接收電路，當偵測到該第一差動接收電路因輸入信號之電壓低於該電壓範圍之第一部份而無法運作時，產生一觸發信號；一第二差動接收電路，電連接於該偵測電路，因應該觸發信號之驅動，而接收接收該電壓範圍中第二部份的輸入信號；以及一第二運算放大電路，電連接於該第二差動接收電路，用以將該第二差動接收電路所接收之電壓加以放大，使產生該輸出電壓。

根據上述構想，系統中該差動比較電路系統可包含一輸出電路，用以輸出該輸出電壓。

根據上述構想，系統中該第二差動接收電路於該第一差動接收電路及該第一運算放大電路運作時可處於關閉狀態，用以避免產生漂浮 (floating) 和加乘效果。

根據上述構想，系統中該第一差動接收電路及該第一運算放大電路於該第二差動接收電路及該第二運算放大電路運作時可處於關閉狀態。

本案之又一目的係為提供一種信號接收系統，用以接收一電壓範圍之所有輸入信號，其中該電壓範圍係分為較高電壓之第一部份及較低電壓之第二部份，該系統係包含：一第一差動接收電路，用以接收該電壓範圍中較高電



#### 五、發明說明 (6)

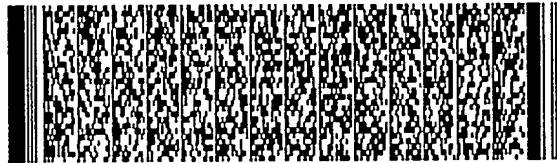
壓之第一部份的輸入信號；一偵測電路，電連接於該第一差動接收電路，當偵測到該第一差動接收電路因輸入信號之電壓低於該電壓範圍之第一部份而無法運作時，產生一觸發信號；以及一第二差動接收電路，電連接於該偵測電路，因應該觸發信號之驅動，而接收屬於較低電壓之第二部份的輸入信號，俾使達到接收該電壓範圍之所有輸入信號之功效。

#### 較佳實施例說明

本案之差動比較電路系統，將可由以下的實施例說明而得到充份的了解，使得熟習本技藝之人士可據以完成之，然本案之實施並非可由下列實施例而被限制其實施型態。

請參閱第四及第五圖，其本案較佳實施例之電路方塊圖及詳細電路結構示意圖。

本案之差動接收比較電路系統可適用於通用序列匯流排 (USB) 介面的傳輸端，用來接收  $0 \sim V_{dd}$  (約  $0 \sim 3.3$  伏特) 的電壓範圍之所有輸入信號，並加以放大後輸出一輸出電壓，其中該電壓範圍可細分為較高電壓之第一部份 (約  $2 \sim 3.3$  伏特) 及較低電壓之第二部份 (約  $0 \sim 2$  伏特)，該系統可包含：一偵測電路30、一第一差動比較器31、一第二差動比較器32及一輸出電路33。



#### 五、發明說明 (7)

該第一差動比較器31可藉由第一差動接收電路311來接收輸入電壓約為2~3.3伏特之輸入信號，再利用電連接於該第一差動接收電路311之第一運算放大電路312將所接收之電壓加以放大，使產生一輸出電壓，並經由該輸出電路33傳送出去。

該偵測電路30電連接於該第一差動接收電路311，主要用來偵測該第一差動接收電路311的運作狀態（即偵測第四圖所示之a點處）。當該第一差動接收電路311處於接收狀態時，產生一截止信號來將第二差動比較器32關閉，以避免電源損耗。當偵測到該第一差動接收電路311因輸入信號之電壓係屬於0~2伏特之電壓範圍而無法處於關閉狀態時，產生一觸發信號來驅動該第二差動比較器32接收輸入信號。

至於該第二差動比較器32因應該驅動信號之控制後，主要藉由第二差動接收電路321來接收輸入電壓約為0~2伏特之輸入信號，再利用電連接於該第二差動接收電路321之第二運算放大電路322，將所接收之電壓加以放大，使產生一輸出電壓，並經由該輸出電路33傳送出去。

其中該第一差動接收電路311係由N型金屬氧化半導體電晶體（NMOS）所組成，可包含二接收端（ $IN+$ 及 $IN-$ ），當 $IN+ > IN-$ 時，該輸出電壓則輸出高電位Vdd。當 $IN+ < IN-$ 時，該輸出電壓則輸出低電位0。上述之輸出電壓會隨著對於 $IN+$ 與 $IN-$ 的大小不同之定義而有所改變。

當然，該第二差動接收電路321係由一組N型金屬氧化



#### 五、發明說明 (8)

半導體電晶體 (NMOS) 和一組P型金屬氧化半導體電晶體 (PMOS) 所組成，有避免漂浮 (floating) 及加乘效果，可包含二組接收端 (IN+ 及 IN-) 及一電壓轉換電路 (level shift circuit) 3211，當PMOS的 $IN+ > IN-$ 時，該輸出電壓則可輸出高電位Vdd。當PMOS的 $IN+ < IN-$ 時，該輸出電壓依不同之需求則可輸出低電位0。上述之輸出電壓會隨著對於IN+與IN-的大小不同之定義而有所改變。

且該第二差動接收電路321會於PMOS之IN+及IN-接收電壓太高時，則自動關閉該第二差動接收電路321。其中該電壓轉換電路3211可用以將所接收之輸入信號先進行初步放大，並於該偵測電路30產生該截止信號時，將該二組信號接收端關閉。

綜合上面所述，本案之差動比較電路系統藉由偵測電路能夠確保不用以接收信號之差動比較器能夠完全關閉，進而解決習知技術會浪費電源的問題，且能夠接收的電壓範圍 (Common Mode Range) 為 $0 \sim Vdd$ ，解析經度 (resolution) 可達到 $50 \sim 200mV$  (目前USB 1.1版規定為 $200mV$ )，而最大的延遲時間為 $7ns$ ，由上述之實際模擬結果可知，其結果較USB 1.1版所訂的規格要好上很多，因此具產業價值，進而達成發展本案之發明目的。

本案得由熟悉本技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲保護者。



## 圖式簡單說明

為使本發明的上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

第一圖 (a) (b)：其係習知用以接收輸入信號之電路。

第二圖：其係習知結合P型金屬氧化半導體電晶體 (PMOS) 與N型金屬氧化半導體電晶體 (NMOS) 之接收信號電路示意圖。

第三圖：其係本案較佳實施例之電路方塊示意圖。

第四圖：其係本案較佳實施例之詳細電路圖。

本案圖式中所包含之各元件列示如下：

20：尾端電流電晶體

21：尾端電流電晶體

30：偵測電路

31：第一差動比較器

311：第一差動接收電路

312：第一運算放大電路

32：第二差動比較器

321：第二差動接收電路

3211：電壓轉換電路

322：第二運算放大電路

33：輸出電路



圖式簡單說明

## 六、申請專利範圍

1. 一種差動比較電路系統，用以接收一電壓範圍之所有輸入信號，並加以放大後輸出一輸出電壓，其中該電壓範圍係分為較高電壓之第一部份及較低電壓之第二部份，該系統係包含：

一第一差動比較器，用以接收該電壓範圍中第一部份的輸入信號，並將所接收之電壓加以放大，而產生該輸出電壓；

一偵測電路，電連接於該第一差動比較器，當偵測到該第一差動比較電路因輸入信號之電壓低於該電壓範圍之第一部份而無法運作時，產生一觸發信號；以及

一第二差動比較器，電連接於該偵測電路，因應該觸發信號之驅動，而接收該電壓範圍中第二部份的輸入信號，並將所接收之電壓加以放大，用以產生該輸出電壓。

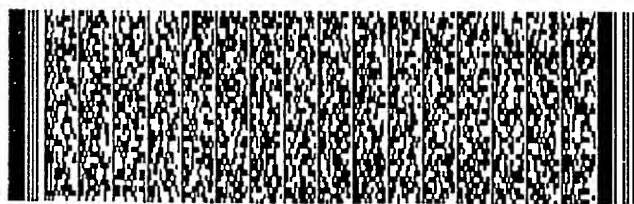
2. 如申請專利範圍第1項所述之系統，其中該差動比較電路系統係適用於一通用序列匯流排(USB)介面的傳輸端。

3. 如申請專利範圍第1項所述之系統，其中該第一差動比較器係包含：

一第一差動接收電路，用以接收該電壓範圍中第一部份的輸入信號；以及

一第一運算放大電路，電連接於該第一差動接收電路，用以將該第一差動接收電路所接收之電壓加以放大，使產生該輸出電壓。

4. 如申請專利範圍第1項所述之系統，其中該第二差動比較器係包含：



## 六、申請專利範圍

一 第二差動接收電路，電連接於該偵測電路，因應該觸發信號之驅動，而接收接收該電壓範圍中第二部份的輸入信號；以及

一 第二運算放大電路，電連接於該第二差動接收電路，用以將該第二差動接收電路所接收之電壓加以放大，使產生該輸出電壓。

5. 如申請專利範圍第1項所述之系統，其中該差動比較電路系統係包含一輸出電路，用以輸出該輸出電壓。

6. 如申請專利範圍第1項所述之系統，其中該第二差動比較器於該第一差動比較器運作時係處於關閉狀態，用以避免產生漂浮(floating)。

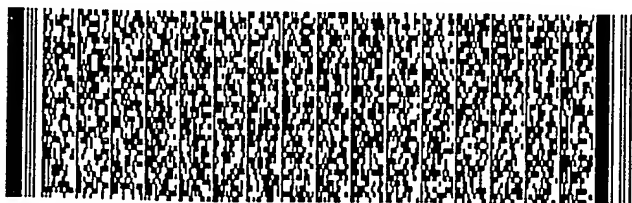
7. 如申請專利範圍第1項所述之系統，其中該第一差動比較器於該第二差動比較器運作時係處於關閉狀態。

8. 一種差動比較電路系統，用以接收一電壓範圍之所有輸入信號，並加以放大後輸出一輸出電壓，其中該電壓範圍係分為較高電壓之第一部份及較低電壓之第二部份，該系統係包含：

一 第一差動接收電路，用以接收該電壓範圍中第一部份的輸入信號；

一 第一運算放大電路，電連接於該第一差動接收電路，用以將該第一差動接收電路所接收之電壓加以放大，使產生該輸出電壓；

一 偵測電路，電連接於該第一差動接收電路，當偵測到該第一差動接收電路因輸入信號之電壓低於該電壓範圍





## 六、申請專利範圍

之第一部份而無法運作時，產生一觸發信號；

一第二差動接收電路，電連接於該偵測電路，因應該觸發信號之驅動，而接收接收該電壓範圍中第二部份的輸入信號；以及

一第二運算放大電路，電連接於該第二差動接收電路，用以將該第二差動接收電路所接收之電壓加以放大，使產生該輸出電壓。

9. 如申請專利範圍第8項所述之系統，其中該差動比較電路系統係包含一輸出電路，用以輸出該輸出電壓。

10. 如申請專利範圍第8項所述之系統，其中該第二差動接收電路於該第一差動接收電路及該第一運算放大電路運作時係處於關閉狀態，用以避免產生漂浮(floating)。

11. 如申請專利範圍第8項所述之系統，其中該第一差動接收電路及該第一運算放大電路於該第二差動接收電路及該第二運算放大電路運作時係處於關閉狀態。

12. 一種信號接收系統，用以接收一電壓範圍之所有輸入信號，其中該電壓範圍係分為較高電壓之第一部份及較低電壓之第二部份，該系統係包含：

一第一差動接收電路，用以接收該電壓範圍中較高電壓之第一部份的輸入信號；

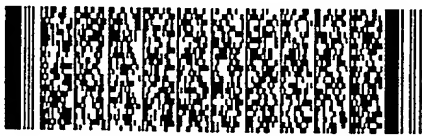
一偵測電路，電連接於該第一差動接收電路，當偵測到該第一差動接收電路因輸入信號之電壓低於該電壓範圍之第一部份而無法運作時，產生一觸發信號；以及

一第二差動接收電路，電連接於該偵測電路，因應該



六、申請專利範圍

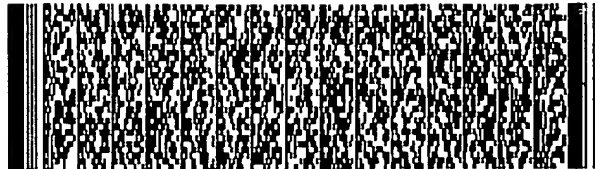
觸發信號之驅動，而接收屬於較低電壓之第二部份的輸入信號，俾使達到接收該電壓範圍之所有輸入信號。



第 1/17 頁



第 2/17 頁



第 4/17 頁



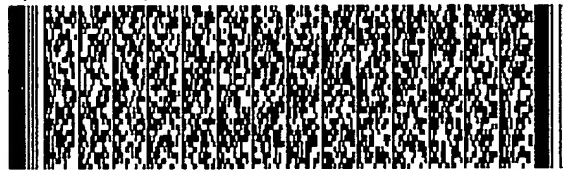
第 4/17. 頁



第 5/17 頁



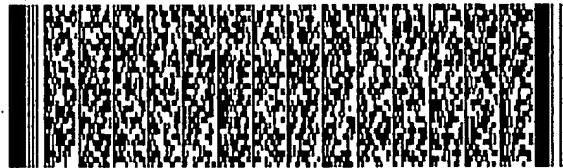
第 5/17 頁



第 6/17 頁



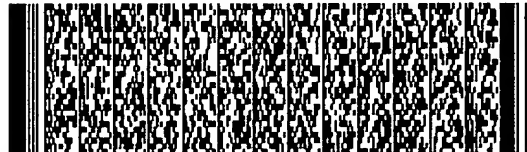
第 6/17 頁



第 7/17 頁



第 8/17 頁



第 8/17 頁



第 9/17 頁



第 9/17 頁



第 10/17 頁



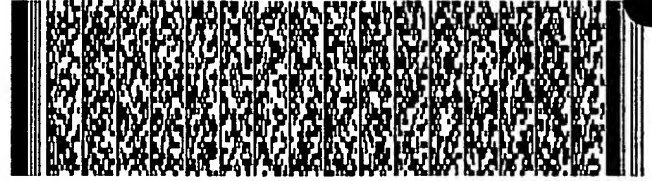
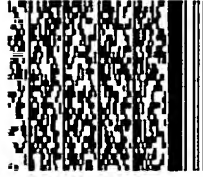
第 10/17 頁



第 11/17 頁



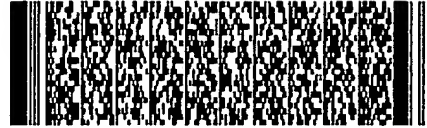
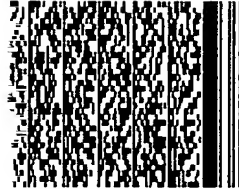
第 12/17 頁

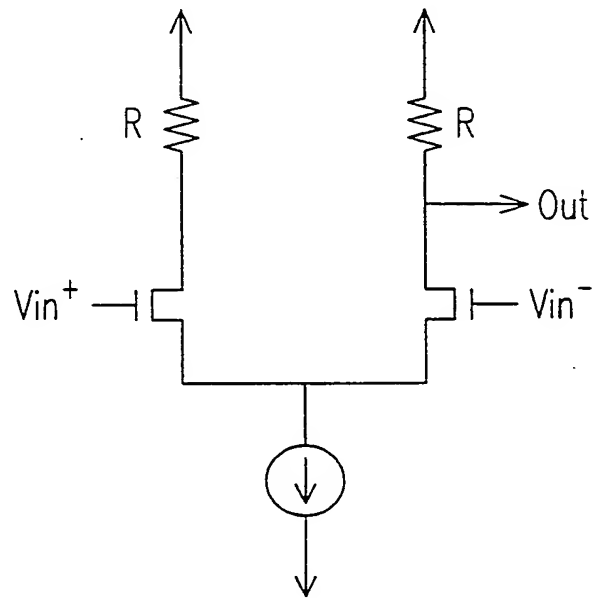


第 15/17 頁

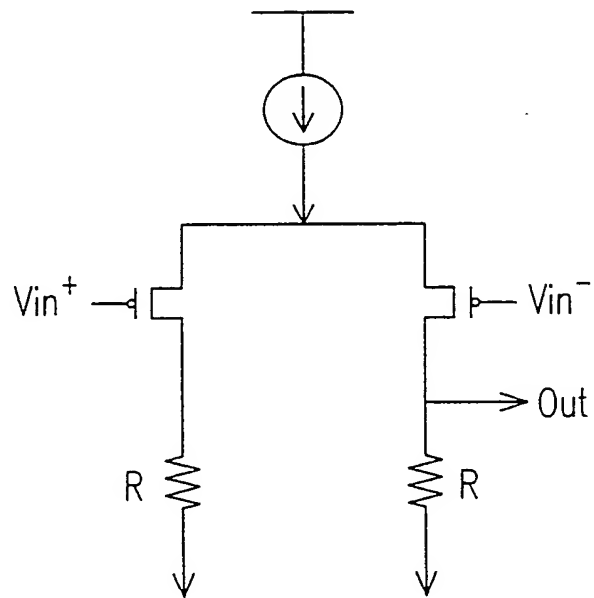


第 17/17 頁

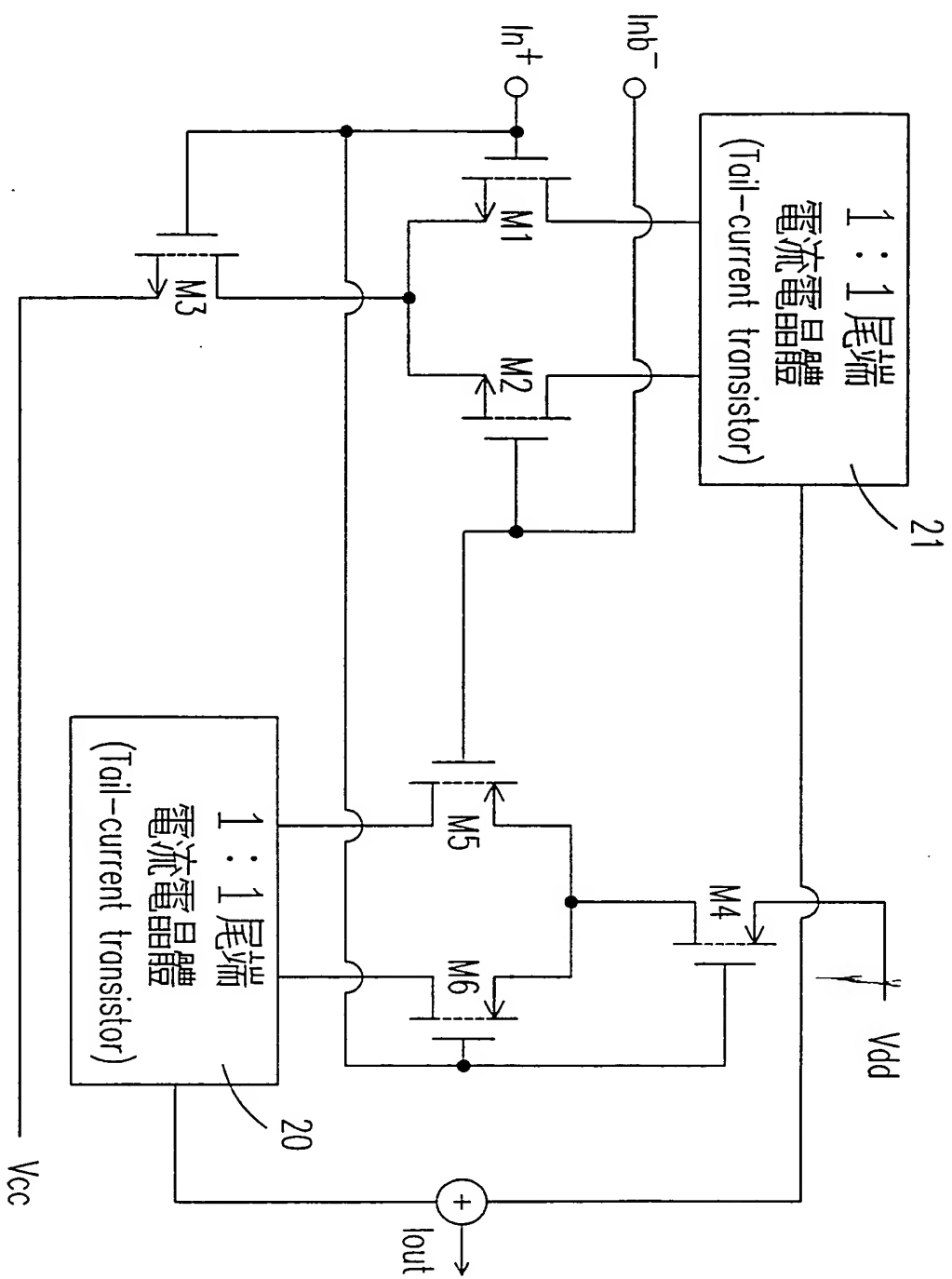




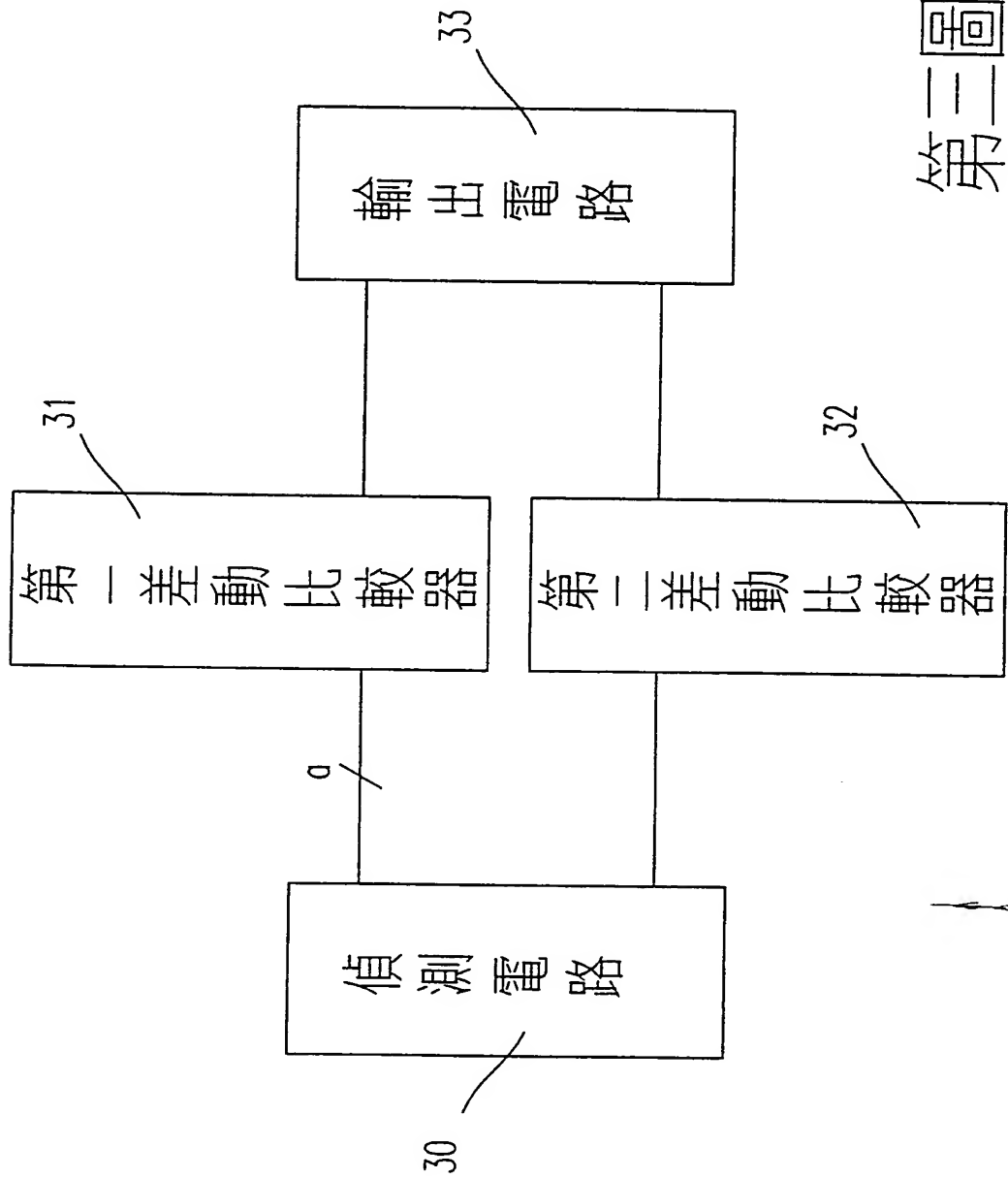
第一圖 (a)



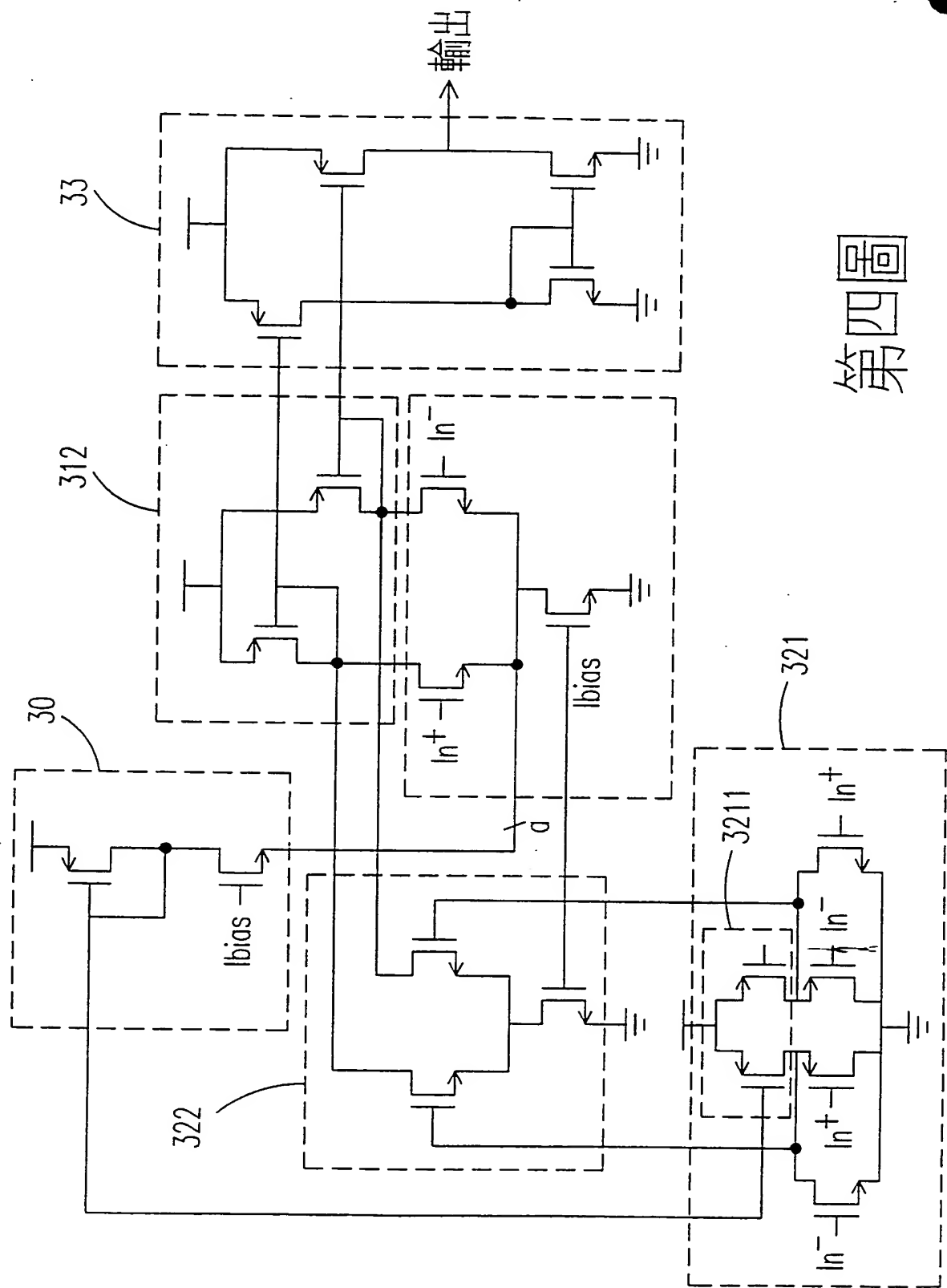
第一圖 (b)



第二圖



第三圖



第四圖